

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Hidefumi OKADA**

Serial No.: Not Yet Assigned

Filed: **May 26, 1999**For: **DIGITAL CAMERA**

1C549 U.S. PTO
09/318614
05/26/99


CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Assistant Commissioner for Patents
Washington, D.C. 20231

May 26, 1999

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Appln. No. 10-147544, filed on May 28, 1998

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicant has complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,
**ARMSTRONG, WESTERMAN, HATTORI
MCLELAND & NAUGHTON**

William E. Westerman
Reg. No. 29,988

Atty. Docket No.: 990531
Suite 1000, 1725 K Street, N.W.
Washington, D.C. 20006
Tel: (202) 659-2930
Fax: (202) 887-0357
WFW/yap

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

JC549 U.S. PRO
09/318614
05/26/99

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日
Date of Application: 1998年 5月28日

出願番号
Application Number: 平成10年特許願第147544号

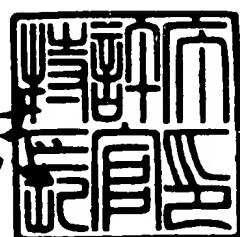
出願人
Applicant(s): 三洋電機株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

1999年 4月16日

特許庁長官
Commissioner,
Patent Office

伴佐山建



【書類名】 特許願
【整理番号】 98E28P1798
【提出日】 平成10年 5月28日
【あて先】 特許庁長官殿
【国際特許分類】 G11C 7/00
【発明の名称】 ディジタルカメラ
【請求項の数】 10
【発明者】
【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内
【氏名】 岡田 秀史
【特許出願人】
【識別番号】 000001889
【氏名又は名称】 三洋電機株式会社
【代理人】
【識別番号】 100090181
【弁理士】
【氏名又は名称】 山田 義人
【手数料の表示】
【予納台帳番号】 014812
【納付金額】 21,000円
【提出物件の目録】
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 9006407
【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 ディジタルカメラ

【特許請求の範囲】

【請求項1】

被写体を撮影しオリジナル画像データを出力する撮影手段、
メインメモリ、
前記オリジナル画像データを前記メインメモリに書き込むオリジナル書き込み
手段、
前記オリジナル画像データに基づいて前記サムネイル画像データを生成する生
成手段、
バッファ、
前記生成手段から出力された前記サムネイル画像データを前記バッファに書き
込む第1サムネイル書き込み手段、
第1所定ライン分の前記オリジナル画像データの前記メインメモリへの書き込
みが完了する毎に前記バッファに格納された前記サムネイル画像データを前記メ
インメモリに書き込む第2サムネイル書き込み手段、および
前記メインメモリに格納された前記オリジナル画像データおよび前記サムネイ
ル画像データを記録媒体に記録する記録手段を備える、ディジタルカメラ。

【請求項2】

第2所定ライン分の前記サムネイル画像データが前記第1所定ライン分のオリ
ジナル画像データに関連し、
前記バッファは前記第2所定ライン分の前記サムネイル画像データを格納する
サムネイルエリアを含む、請求項1記載のディジタルカメラ。

【請求項3】

前記オリジナル画像データの水平方向における画素数をカウントする水平カウ
ンタ、および
前記オリジナル画像データの垂直方向におけるライン数をカウントする垂直カ
ウンタをさらに備え、
前記生成手段は、前記水平カウンタの水平カウント値および前記垂直カウンタ

の垂直カウント値に基づいて前記オリジナル画像データから所定の画素データを抽出する抽出手段を含む、請求項1または2記載のディジタルカメラ。

【請求項4】

前記抽出手段は、前記オリジナル画像データを所定画素数ずつシフトさせる複数のレジスタ、および前記水平カウント値および前記垂直カウント値に基づいて前記複数のレジスタを間欠的に能動化する能動化手段を含む、請求項3記載のディジタルカメラ。

【請求項5】

前記第1サムネイル書き込み手段は、前記水平カウント値および前記垂直カウント値に基づいて前記サムネイル画像データを前記バッファに書き込むデータ書き込み手段を含む、請求項3または4記載のディジタルカメラ。

【請求項6】

前記第1サムネイル書き込み手段は、前記垂直カウンタが前記第1所定ラインに相当するライン数をカウントしつつ前記水平カウンタが前記オリジナル画像データの水平画素数をカウントしたとき前記サムネイル画像データの読み出し要求を出力する要求出力手段をさらに含む、請求項5記載のディジタルカメラ。

【請求項7】

前記第2サムネイル書き込み手段は、前記読み出し要求に応答して前記バッファから前記サムネイル画像データを読み出すサムネイル読み出し手段を含む、請求項6記載のディジタルカメラ。

【請求項8】

前記オリジナル書き込み手段は、前記オリジナル画像データを所定画素数ずつ前記バッファに書き込む第1オリジナル書き込み手段、および前記バッファに格納された前記オリジナル画像データを前記所定画素数ずつ前記メインメモリに書き込む第2オリジナル書き込み手段を含む、請求項1ないし7のいずれかに記載のディジタルカメラ。

【請求項9】

前記バッファは、少なくとも前記所定画素数のオリジナル画像データを格納するオリジナルエリアを含む、請求項8記載のディジタルカメラ。

【請求項10】

前記メインメモリはSDRAMである、請求項1ないし9のいずれかに記載のディジタルカメラ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】

この発明は、ディジタルカメラに関し、特にたとえば撮影されたオリジナル画像データおよびそれに対応するサムネイル画像データを記録する、ディジタルカメラに関する。

【0002】

【従来の技術】

ディジタルカメラの記録フォーマットの1つに、Exifがある。この記録フォーマットによれば、撮影された所定解像度の画像データ（オリジナル画像データ）の他に、このオリジナル画像データに対応するサムネイル画像データを記録する必要がある。

【0003】

このため従来のディジタルカメラでは、CPUが、プログラムに従ってオリジナル画像データからサムネイル画像データを作成していた。

【0004】

【発明が解決しようとする課題】

しかし、サムネイル画像データをプログラムに従って作成しようとすると、作成に時間がかかり、この結果1回の撮影が完了するまでの時間が長くなるという問題があった。

それゆえに、この発明の主たる目的は、1回の撮影に要する時間を短縮することができる、ディジタルカメラを提供することである。

【0005】

【課題を解決するための手段】

この発明は、被写体を撮影しオリジナル画像データを出力する撮影手段、メインメモリ、オリジナル画像データをメインメモリに書き込むオリジナル書き込み

手段、オリジナル画像データに基づいてサムネイル画像データを生成する生成手段、バッファ、生成手段から出力されたサムネイル画像データをバッファに書き込む第1サムネイル書き込み手段、第1所定ライン分のオリジナル画像データのメインメモリへの書き込みが完了する毎にバッファに格納されたサムネイル画像データをメインメモリに書き込む第2サムネイル書き込み手段、およびメインメモリに格納されたオリジナル画像データおよびサムネイル画像データを記録媒体に記録する記録手段を備える、デジタルカメラである。

【0006】

【作用】

シャッターボタンが操作されると、信号処理回路から640画素×480ラインのオリジナル画像データが出力される。このオリジナル画像データは、バッファを介して64画素ごとにSDRAMに書き込まれる。この動作が80回繰り返され、8ライン分のオリジナル画像データのSDRAMへの書き込みが完了する。

【0007】

オリジナル画像データはまた、D-F-F回路を用いて、水平方向において8画素ごと、垂直方向において8ラインごとに抽出され、これによって80画素×60ラインのサムネイル画像データが生成される。サムネイル画像データもまた、バッファを介してSDRAMに書き込まれる。8ライン分のオリジナル画像データがSDRAMに書き込まれる間に、1ライン分つまり80画素分のサムネイル画像データがバッファに得られる。

【0008】

バッファに格納された1ライン分のサムネイル画像データは、そのオリジナル画像データのSDRAMへの書き込みが完了してから、SDRAMに書き込まれる。サムネイル画像データの書き込みは、水平ブランкиング期間に行われる。このような動作が繰り返された結果、SDRAM内に1枚分のオリジナル画像データおよびサムネイル画像データが得られ、その後メモリカードに記録される。

【0009】

【発明の効果】

この発明によれば、第1所定ライン分のオリジナル画像データがSDRAMへ

書き込まれる毎にバッファに格納されたサムネイル画像データを SDRAMに書き込むようにしたため、1枚分のオリジナル画像データおよび1枚分のサムネイル画像データの SDRAMへの書き込み動作が1フレーム期間内に完了する。つまり、1回の撮影に要する時間を短縮することができる。

【0010】

この発明の上述の目的、その他の目的、特徴および利点は、図面を参照して行う以下の実施例の詳細な説明から一層明らかとなろう。

【0011】

【実施例】

図1を参照して、この実施例のデジタルカメラ10は、水平方向および垂直方向における有効画素数が640画素および480ラインのCCDイメージヤ12を含む。CCDイメージヤ12の前面には原色フィルタ（図示せず）が装着され、被写体の光像はこの原色フィルタを通してCCDイメージヤ12に照射される。

【0012】

シャッタボタン70が操作されると、システムコントローラ68は、割込端子56aを介してCPU56に制御信号を与える。CPU56は、シャッタボタン70が操作されてから1フレーム期間が経過した時点で、CCDイメージヤ12を不能化する。具体的には、タイミングジェネレータ13にCCDイメージヤ12からの電荷の読み出しを中止させる。この結果、シャッタボタン70の操作後は、1フレーム分のカメラ信号しかCCDイメージヤ12から出力されない。

【0013】

出力されたカメラ信号はプログレッシブスキャン信号であり、かつ各画素はR、GおよびBのいずれかの原色成分をもつ。このようなカメラ信号が、CDS/AGC回路14で周知のノイズ除去およびレベル調整を施され、その後12MHzのクロックレートで動作するA/D変換器16で、デジタル信号であるカメラデータに変換される。信号処理回路18は、A/D変換器16から出力されたカメラデータに4:2:2の比率でYUV変換を施し、YUVデータつまり640画素×480ラインのオリジナル画像データを生成する。

【0014】

なお、タイミングジェネレータ13は、シグナルジェネレータ15から出力された水平同期信号および垂直同期信号に基づいてタイミング信号を生成し、CCDイメージヤ12をプログレッシブスキャン方式で駆動する。

信号処理回路18もまた、シグナルジェネレータ15からの水平同期信号および垂直同期信号に応答して、12MHzのクロックレートで上述の信号処理を実行する。この結果、図4（B）に示すYデータおよび図4（C）に示すUVデータが、2つの信号経路から同時に outputされる。なお、Yデータ、UデータおよびVデータはいずれも1画素あたり8ビットである。

【0015】

Yデータは、シリアルに接続された4つのD-FF回路20a～20dに1画素毎に入力され、その後D-FF回路20a～20dの出力が同時にD-FF回路28に入力される。つまり、水平方向における4画素分つまり32ビットのYデータが、D-FF回路28に同時に入力される。一方、UデータおよびVデータは、8ビット毎に交互に信号処理回路18から出力される。4：2：2変換によってUデータおよびVデータのそれぞれのデータ量はYデータの1／2となるため、4画素分のYデータが一方の信号経路から出力される間に、2画素分のUデータおよびVデータが他方の信号経路から出力される。この2画素分のUVデータもまた、D-FF回路22a～22dを介してD-FF回路30に同時に入力される。D-FF回路28および30は3MHzのクロックレートで動作し、この結果、YデータおよびUVデータが、図4（D）および（E）に示すタイミングで32ビット毎に、D-FF回路28および30から出力される。

【0016】

信号処理回路18から出力されたYデータはまた、常に能動化されかつ12MHzのクロックレートで動作するD-FF回路24aを介して、1画素遅れでD-FF回路24bに入力される。D-FF回路24bおよびその後段にシリアル接続されたD-FF回路24c～24eは、タイミングジェネレータ13から出力されたイネーブル信号RegENによって能動化される。つまり、図4（F）に示すイネーブル信号RegENがハイレベルとなる期間だけ、12MHzのクロ

ックに応答して入力データをラッチする。D-F F回路24b～24eのそれぞれでラッチされたYデータは、D-F F回路32に同時に入力され、同じイネーブル信号RegENに応答してラッチされる。

【0017】

図4(F)からわかるように、イネーブル信号RegENは8画素ごとに立ち上がり、この結果Yデータは8画素ごとに1回D-F F回路32に入力される。つまり、連続する8画素分のYデータの中から1画素分のYデータが抽出される。D-F F回路32もまた、イネーブル信号RegENに応答して所定4画素に対応する入力データをラッチする。この結果、8画素ごとのYデータが図4(H)に示すタイミングでD-F F回路32から出力される。なお、垂直方向においては、8ラインごとに1回以上の動作が行われる。

【0018】

信号処理回路18から出力されたUVデータは、直接およびD-F F回路26aを介してセレクタ27に入力される。D-F F回路26aは常に能動化されかつ12MHzのクロックレートで動作し、これによって同じ画素に対応するUデータおよびVデータが同時にセレクタ27に入力される。セレクタ27は、タイミングジェネレータ13から出力された選択信号UVSELに従っていずれかの入力データを選択する。セレクタ27には、D-F F回路26b～26eがシリアルに接続され、そのいずれも、イネーブル信号RegENがハイレベルのときだけ12MHzのクロックに応答して入力データをラッチする。D-F F回路34もまた、イネーブル信号RegENに応答して入力データをラッチする。この結果、D-F F回路26b～26eの出力がD-F F回路34から同時に出力される。

【0019】

選択信号UVSELのレベルは、図4(G)に示すように8画素毎に変化する。選択信号UVSELがローレベルであればセレクタ27はD-F F回路26aの出力を選択し、選択信号UVSELがハイレベルであればセレクタ27は信号処理回路18の出力を選択する。イネーブル信号RegENは、上述のように8画素ごとに1回しか立ち上がらず、この結果UデータおよびVデータがD-F F

回路26b～26eのそれぞれにおいて交互にラッチされる。つまり、UデータおよびVデータが8画素ごとに交互に抽出される。抽出された所定4画素に対応するUVデータは、図4(I)に示すタイミングでD-FF回路34から出力される。なお、UVデータについても、垂直方向では8ラインごとに以上の動作が実行される。

【0020】

このようにして、水平方向および垂直方向のいずれについても8画素および8ラインごとに画素データが抽出され、この結果、640画素×480ラインのオリジナル画像データから80画素×60ラインのサムネイル画像データが生成される。

スイッチSW1は、タイミングジェネレータ13から出力された選択信号SDSELに応じて切り換えられる。つまり、選択信号SDSELが“0”であればスイッチSW1はD-FF回路28と接続され、選択信号SDSELが“1”であればスイッチSW1はD-FF回路30と接続される。また、選択信号SDSELが“2”および“3”をとるとき、スイッチSW1はD-FF回路32および34にそれぞれ接続される。選択信号SDSELは、12MHzのクロックに応答して図4(J)に示すように“0”，“2”，“1”，“3”的順で変化し、この結果D-FF回路28，D-FF回路32，D-FF回路30，D-FF34の順でそれぞれの出力が選択される。つまり、スイッチSW1からは図4(K)に示すタイミングでオリジナル画像データおよびサムネイル画像データが出力される。

【0021】

スイッチSW1のD-FF回路32および34に対する接続は、D-FF回路32および34のそれぞれから所定4画素に対応するYデータおよびUVデータが出力される期間だけ有効となる。このため、図4(K)において、接続が無効であるときのスイッチSW1の出力を斜線で示している。このようにして、32画素分のオリジナル画像データがスイッチSW1から出力される間に、その32画素に関連する4画素分のサムネイル画像データがスイッチSW1から出力される。

【0022】

バッファ36は、図3に示すようなデュアルポートのSRAMによって構成される。トータルのワード数は“128”であり、前半の64ワードがオリジナル画像データを格納するオリジナルエリアとされ、後半64ワードのうち所定40ワードがサムネイル画像データを格納するサムネイルエリアとされる。

詳しく説明すると、各ワードは32ビットの幅をもち、アドレス“0”～“63”が割り当てられたオリジナルエリアは2バンクに分割される。つまり、各バンクには64画素分のYUVデータを格納できる。したがって、スイッチSW1から出力されたオリジナル画像データは、バンク1および2に64画素ずつ交互に書き込まれる。読み出しは、書き込みが実行されていないバンクから行われる。

【0023】

一方、サムネイル画像データはアドレス“64”～“83”およびアドレス“96”～“115”に格納される。この合計40ワード分のエリアがサムネイルエリアとされる。サムネイルエリアにおいても、各ワードは32ビットの幅をもち、所定4画素に対応するYデータまたはUVデータが1つのワードに書き込まれる。具体的には、アドレス“64”～“83”的20ワードにYデータが書き込まれ、アドレス“96”～“115”的20ワードにUVデータが書き込まれる。このようにして、80画素つまり1ライン分のサムネイル画像データが、サムネイルエリアに書き込まれる。なお、1ライン分のサムネイル画像データはD-F-F回路32および34から8ラインごとに出力されるため、サムネイルエリアへのサムネイル画像データの書き込みも8ラインごとに行われる。

【0024】

タイミングジェネレータ13はまた、図4(L)に示す書込アドレス信号および図4(M)に示すライトイネーブル信号をバッファ36に与える。選択信号S-D-S-E-Lが図4(J)に示すように変化することで、オリジナル画像データおよびサムネイル画像データが図4(K)に示すタイミングでスイッチSW1から出力される。このためライトイネーブル信号の出力タイミングは、有効なサムネイル画像データが出力されるときだけ12MHzから24MHzに変化する。この

結果、オリジナル画像データおよびサムネイル画像データが、図4（L）に示す書込アドレスに書き込まれる。このようにして、32画素分のオリジナル画像データがオリジナルエリアに書き込まれる間に、関連する4画素分のサムネイル画像データがサムネイルエリアに書き込まれる。

【0025】

オリジナルエリアの一方のバンクに書き込まれた64画素分のオリジナル画像データは、他方のバンクに対する後続の64画素分のオリジナル画像データの書き込みと並行して、メモリ制御回路40によって読み出される。具体的には、タイミングジェネレータ13が図7（B）に示すオリジナル読み出しリクエストをメモリ制御回路40に与え、メモリ制御回路40が、このオリジナル読み出しリクエストに応答して所定のバンクからオリジナル画像データを読み出す。メモリ制御回路40は、図7（E）に示すように24MHzのレートでアドレス信号を出力し、図7（D）に示すようにオリジナルエリアからオリジナル画像データを読み出す。

【0026】

図5を参照して、オリジナル読み出しリクエストは、RS-FF回路40bを介して調停回路40aに入力される。調停回路40aは、RS-FF回路40c～40eからも別のリクエストを受け、各リクエストを調停する。そして、いずれかのリクエストに応えるために、処理回路40fに所定のスタート信号を出力する。

【0027】

処理回路40fは、図6に示すように構成される。バス38は、データバス38a～38c、アドレスバス38dならびに制御バス38eを含み、データバス38aおよび38bは、3ステートバッファ40iおよび40jの入力端子とそれぞれ接続される。データバス38cは、3ステートバッファ40i、40jおよび40vの出力端子およびD-FF回路40kの入力端子と共に接続される。アドレスバス38dおよび制御バス38eは、バッファ制御回路40gと接続される。

【0028】

D-F F回路40k～40pはシリアル接続され、D-F F回路40pの出力端子は3ステートバッファ40qの入力端子と接続され、そして3ステートバッファ40qの出力端子はバス42に含まれるデータバス42aを介してSDRAM (Synchronous DRAM) 44と接続される。3ステートバッファ40qの出力端子と3ステートバッファ40vの入力端子との間には、互いにシリアル接続されたD-F F回路40r～40uが介挿される。3ステートバッファ40i, 40jおよび40vはバッファ制御回路40gによってオン／オフされ、3ステートバッファ40qはSDRAM制御回路40hによってオン／オフされる。

【0029】

タイミングジェネレータ13からのオリジナル読み出リクエストを処理するとき、処理回路40fは、図8(A)に示すスタート信号に応答して図8(B)に示すアドレス信号をバッファ36に出力し、図8(C)に示すオリジナル画像データ(YUVデータ)をバッファ36のオリジナルエリアから読み出す。そして、読み出したYUVデータをDMAでSDRAM44に書き込む。このとき、処理回路40fは24MHzのクロックレートで処理を実行する。

【0030】

具体的に説明すると、バッファ制御回路40gが、上述のアドレス信号をアドレスバス38dを通して出力し、かつチップセレクト信号CS1をローレベルとして3ステートバッファ40jをオン状態とする。さらに、SDRAM制御回路40hが3ステートバッファ40qをオン状態とする。これによって、バッファ36から読み出されたオリジナル画像データが、D-F F回路40k～40pを経て図8(H)に示すタイミングでSDRAM44に出力される。つまり、3ステートバッファ40iおよび40qの間に4つのD-F F回路40k～40pが介挿されているため、取り込まれたYUVデータは4クロック遅れでSDRAM44に出力される。

【0031】

SDRAM制御回路40hもまた、SDRAM44に対して図8(D)～(F)に示すアドレス信号、RAS信号およびCAS信号を出力する。アドレス信号はアドレスバス42bを介してSDRAM44に出力され、RAS信号およびC

A S信号は、制御バス42cおよび42dを介してSDRAM44に出力される。アドレス信号は、まずロウアドレスを指定し、続く4クロック期間にカラムアドレスを指定する。R A S信号はロウアドレスが指定されると同時に立ち下がるが、C A S信号はカラムアドレスが指定された時点で立ち下がる。これによってSDRAM44が4つのアドレスを認識し、図6(H)に示すYUVデータを所望の4アドレスに32ビットずつ書き込む。このような動作が、64画素分だけ実行される。

【0032】

処理回路40fは、64画素分のオリジナル画像データの書き込みが完了する毎に調停回路32aにエンド信号を与え、調停回路32aは次のリクエストの処理に移る。このようにしてタイミングジェネレータ13からのオリジナル読み出リクエストが10回処理された結果、640画素つまり1ライン分のオリジナル画像データがSDRAM44に書き込まれる。オリジナル読み出リクエストが4800回繰り返されると、1画面分のオリジナル画像データがSDRAM44内に得られる。

【0033】

タイミングジェネレータ13は、80画素分のサムネイル画像データがバッファ36に得られるごとに、つまり8ラインごとに、サムネイル読み出しリクエストを出力する。サムネイル読み出しリクエストは、図7(G)に示すように所定ラインの10回目のオリジナル読み出リクエストと同時に出力され、図5に示すR S-F F回路40cに与えられる。調停回路40aは10回目のオリジナル読み出リクエストの後にサムネイル読み出リクエストを処理する。サムネイル読み出リクエストを処理するときも、調停回路40aから処理回路40fに対して所定のスタート信号が与えられ、バッファ制御回路40gは図7(E)に示すアドレス信号をバッファ36に与える。これによって、サムネイルエリアから図7(D)に示すサムネイル画像データが読み出され、上述と同じ要領でこのサムネイル画像データがSDRAM44に書き込まれる。

【0034】

サムネイルエリアには1ライン分のサムネイル画像データが格納されるため、

サムネイル読出リクエストを1回処理すれば、1ライン分のサムネイル画像データがSDRAM44に書き込まれる。このようなサムネイル画像データの書き動作が、8ラインごとに1回実行される。換言すれば、640画素×8ライン分のオリジナル画像データがSDRAM44に書き込まれるごとに、80画素×1ライン分のサムネイル画像データがSDRAM44に書き込まれる。したがって、シャッタボタン70が押されてから1フレーム期間が経過するまでに、640画素×480ライン分のオリジナル画像データならびに80画素×60ライン分のサムネイル画像データの書き込みが完了する。

【0035】

なお、サムネイル画像データは、水平プランキング期間にSDRAM44に書き込まれ、この結果、サムネイル画像データの書き込み処理がオリジナル画像データの書き込み処理に悪影響を及ぼすことはない。

タイミングジェネレータ13は図2に示すように構成される。Hカウンタ13aは12MHzのクロックに応答してインクリメントされ、水平同期信号によってリセットされる。つまり、Hカウンタ13aはオリジナル画像データの水平画素数をカウントする。Hカウンタ13aのカウント値は10ビットで表される。このようなカウント値の下位3ビット[2:0]がデコーダ13bに入力され、下位第3ビット[2]がD-FF回路13cに入力される。また、下位2ビット[1:0]がデコーダ13eおよびインバータ13fに入力され、下位4ビット[4:0]がデコーダ13gに入力される。

【0036】

デコーダ13bは、入力データが“1”を示すときに出力をハイレベルとする。このようなデコーダ13bの出力が、イネーブル信号RegENとなる。また、D-FF回路13cに入力されたデータは、次段のD-FF回路13dを介して選択信号UVSELとして出力される。デコーダ13eは、入力データが“0”，“1”，“2”および“3”を示すとき“0”，“2”，“1”および“3”をそれぞれ示す選択信号SDSELを生成する。インバータ13fは入力データを反転させ、デコーダ13gは入力データが“25”～“28”を示すときハイレベル信号を出力する。また、インバータ13iが24MHzのクロックを反

転させる。

【0037】

Vカウンタ13nは、水平同期信号に応答してインクリメントされ、垂直同期信号によってリセットされる。つまり、Vカウンタ13nはオリジナル画像データの垂直ライン数をカウントする。Vカウンタ13nのカウント値は9ビットで表される。このうち下位3ビット[2:0]がデコーダ13mに入力され、デコーダ13mはこの入力が“1”を示すときだけハイレベル信号を出力する。つまり、デコーダ13mの出力は、8ラインごとにハイレベルとなる。

【0038】

デコーダ13gおよび13mの出力はAND回路13kによって論理積を施され、AND回路13kの出力は、OR回路13hによってインバータ13fの出力と論理和を施される。さらに、OR回路13hの出力が、AND回路13jによってインバータ13iの出力と論理積を施される。この結果、AND回路13jから図4(M)に示すライトイネーブル信号が得られ、バッファ36に出力される。

【0039】

アドレス発生回路13p～13sは、Hカウンタ13aのカウント値に基づいて、オリジナルYデータ、オリジナルUVデータ、サムネイルYデータおよびサムネイルUVデータの書き込みアドレスをそれぞれ決定し、アドレス信号をセレクタ13tに入力する。セレクタ13tはまた、Hカウンタ13aのカウント値の下位2ビットを制御信号として受け、いずれかのアドレス信号を選択する。つまり、制御信号が“0”を示すときはアドレス発生回路13pの出力を選択し、制御信号が“2”を示すときはアドレス発生回路13qの出力を選択する。また、制御信号が“1”を示すときはアドレス発生回路13rの出力を選択し、制御信号が“3”を示すときはアドレス発生回路13sの出力を選択する。この結果、アドレス信号は図4(L)に示すように変化する。

【0040】

このようにしてタイミングジェネレータ13からバッファ36に与えられるライトイネーブル信号およびアドレス信号にしたがって、オリジナル画像データお

およびサムネイル画像データが所定アドレスに書き込まれる。

読み出しリクエスト発生回路13uおよび13vは、Hカウンタ13aおよびVカウンタ13mの両方のカウント値を受け、所定タイミングでオリジナル読み出しリクエストおよびサムネイル読み出しリクエストをそれぞれ出力する。具体的に説明すると、読み出しリクエスト発生回路13uは、各ラインにおいてHカウンタ13aが64画素をカウントするごとにオリジナル読み出しリクエストを出力する。一方、読み出しリクエスト発生回路13vは、Vカウンタ13mが7ラインをカウントしあつHカウンタ13aが640画素をカウントするごとに、サムネイル読み出しリクエストを出力する。サムネイル読み出しリクエストは、所定ラインにおける10回目のオリジナル読み出しリクエストと同時に出力される。

【0041】

SDRAM44に1画面分のオリジナル画像データおよびサムネイル画像データが得られると、JPEG圧縮／伸長回路48がメモリ制御回路40に対して書込みリクエストおよび読み出リクエストを与える。書込みリクエストはオリジナル画像データおよびサムネイル画像データのバッファ46への書き込みを要求するリクエストであり、読み出リクエストは、JPEG圧縮／伸長回路48によって圧縮されバッファ50に書き込まれた圧縮データの読み出しを要求するものである。したがって、書込みリクエスト、読み出リクエストの順でそれぞれのリクエストが与えられる。

【0042】

調停回路40aは、RS-FF回路40dを介して書込みリクエストを受け、対応するスタート信号を処理回路40fに与える。図6に示すバッファ制御回路40gは、チップセレクト信号CS2をローレベルとし、SDRAM制御回路40hは上述と同じ要領でSDRAM44からオリジナル画像データを読み出す。読み出されたオリジナル画像データは、D-FF回路40r～40vおよび3ステートバッファ40pを経てバッファ46に出力される。バッファ制御回路40gはまた、アドレス信号およびライトイネーブル信号をバッファ46に出力する。これによって、オリジナル画像データがバッファ58の所定アドレスに書き込ま

れる。

【0043】

JPEG圧縮／伸長回路48は、バッファ46に書き込まれたオリジナル画像データにJPEG圧縮を施し、圧縮データをバッファ50に書き込む。このようにしてバッファ50に格納された圧縮データは、JPEG圧縮／伸長回路48からの読み出リクエストに応答してメモリ制御回路40によって読み出され、再度SDRAM44に書き込まれる。

【0044】

つまり、RS-FF回路40eを介して入力される読み出リクエストに応答して、調停回路40aが所定のスタート信号を処理回路40fに入力する。これを受け、図6のバッファ制御回路40gがチップセレクト信号CS3をローレベルとし、アドレス信号をバッファ50に出力する。また、SDRAM制御回路40hが、3ステートバッファ40qをオン状態とし、アドレス信号、RAS信号およびCAS信号を所定のタイミングでSDRAM44に入力する。これによって、バッファ50に格納された圧縮データが、SDRAM44の所定アドレスに格納される。

【0045】

このような処理はサムネイル画像データに対しても施され、この結果、オリジナル画像およびサムネイル画像の両方の1画面分の圧縮データがSDRAM44内に得られる。

CPU56は、この圧縮データをバスブリッジ52およびバス54を介して取り込み、DRAM58に書き込む。CPU56はその後、この圧縮データをI/F回路60を介してメモリカード66に記録する。

【0046】

この実施例によれば、8ライン分のオリジナル画像データのSDRAM44への書き込みが完了する毎に、関連する1ライン分のサムネイル画像データをSDRAM44に書き込むようにしたため、1画面分のオリジナル画像データおよび1画面分のサムネイル画像データの書き込みを1フレーム期間内に完了することができる。さらに、メモリ制御回路40の処理速度は24MHzで、信号処理回

路18の処理速度の4倍である。このため、SDRAM44へのオリジナル画像データおよびサムネイル画像データの書き込みと並行して、これらのデータの圧縮処理およびメモリカード66への記録処理が可能となる。この結果、毎フレームのオリジナル画像データおよびサムネイル画像データのSDRAM44への書き込みならびに毎フレームの圧縮データのメモリカード66への記録が可能となる。換言すれば、オリジナル画像およびサムネイル画像のいずれについても1フレームごとの動画像として記録できる。

【0047】

なお、この実施例では、水平ブランкиング期間を利用してサムネイル画像データを1ラインずつ SDRAM44に書き込むようにしたが、SDRAM44へのサムネイル画像データの書き込みは複数ラインごとに行ってもよい。この場合、サムネイルエリアの容量を複数ライン分のサムネイル画像データが格納できるよう拡張する必要がある。また、サムネイルエリアの容量を80画素×60ラインまで拡張し、垂直ブランкиング期間に1画面分のサムネイル画像データをまとめて SDRAM44に書き込むようにしてもよい。

【0048】

なお、メモリカードとしてはSSFDC（ソリッドステートフロッピーディスクカード）をはじめとする各種のカードを用いることができる。また、この実施例ではR、GおよびBがモザイク状に配列された原色フィルタを用いて説明したが、 Y_e 、 C_y 、 M_g およびGがモザイク状に配列された補色フィルタを用いてもよい。さらに、メインメモリは、バースト転送が可能である限り SDRAM以外のものを用いてもよい。

【図面の簡単な説明】

【図1】

この発明の一実施例を示すブロック図である。

【図2】

タイミングジェネレータの一部を示すブロック図である。

【図3】

バッファを示す図解図である。

【図4】

図1実施例の動作の一部を示すタイミング図である。

【図5】

メモリ制御回路を示すブロック図である。

【図6】

図5実施例の一部を示すブロック図である。

【図7】

図1実施例の動作の他の一部を示すタイミング図である。

【図8】

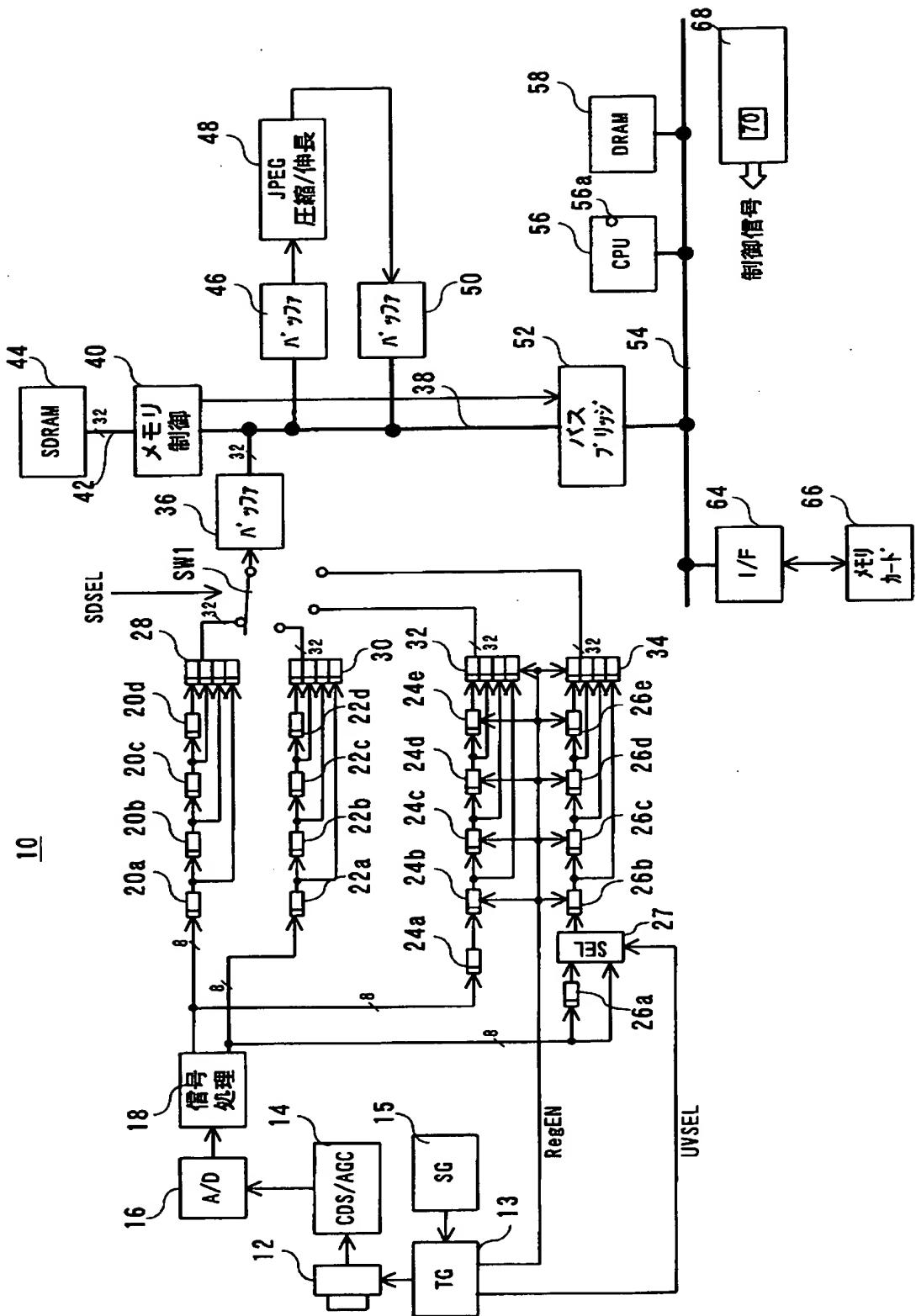
図1実施例の動作のその他一部を示すタイミング図である。

【符号の説明】

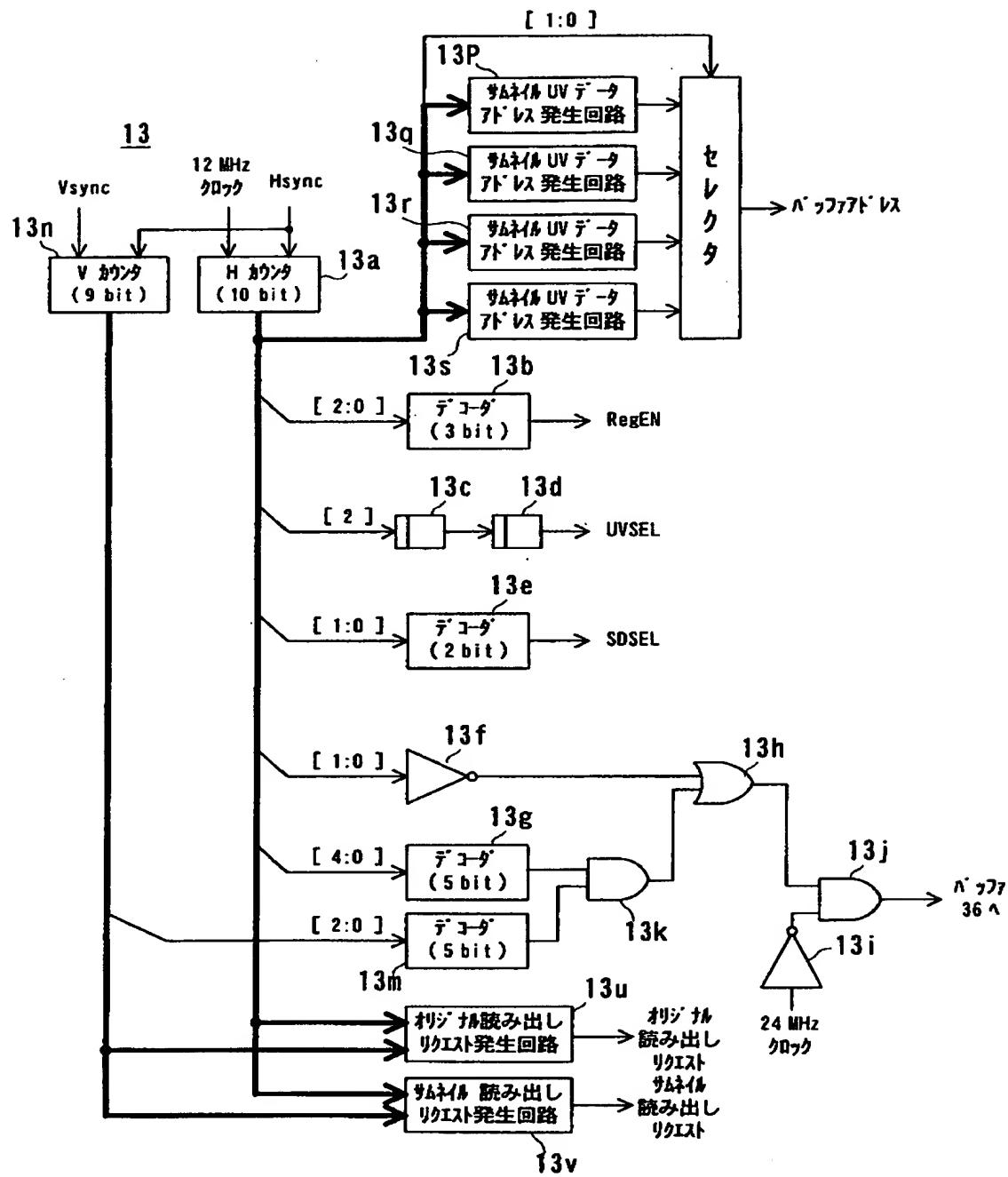
- 1 0 …デジタルカメラ
- 1 2 …CCDイメージヤ
- 1 3 …タイミングジェネレータ
- 1 8 …信号処理回路
- 2 0 a～2 0 d, 2 2 a～2 2 d, 2 4 a～2 4 e, 2 6 a～2 6 e, 2 8,
3 0, 3 2, 3 4 …D-F F回路
- 3 6 …バッファ
- 4 0 …メモリ制御回路
- 4 4 …SDRAM
- 5 6 …CPU
- 6 6 …メモリカード

【書類名】 図面

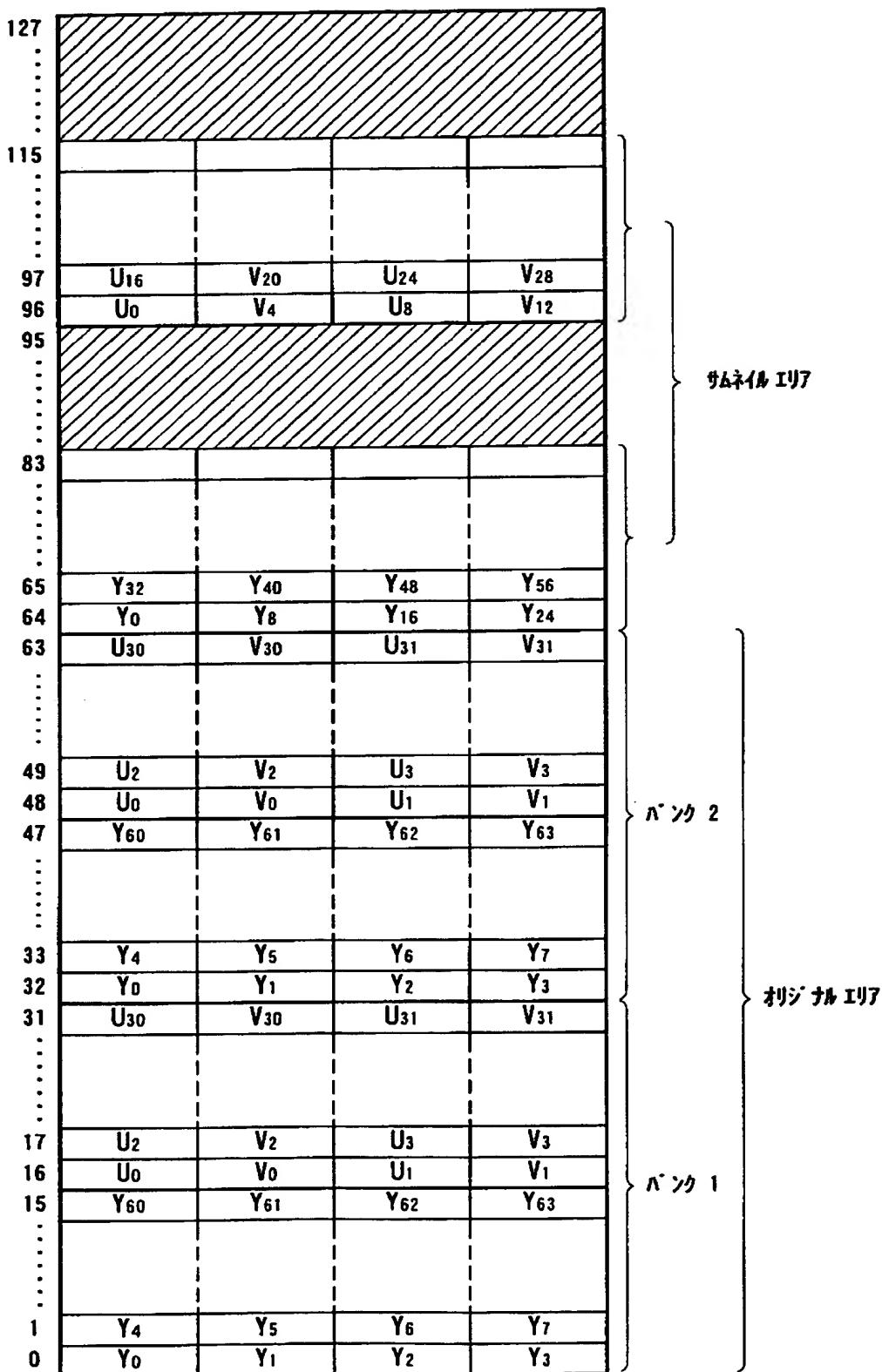
【図1】



【図2】

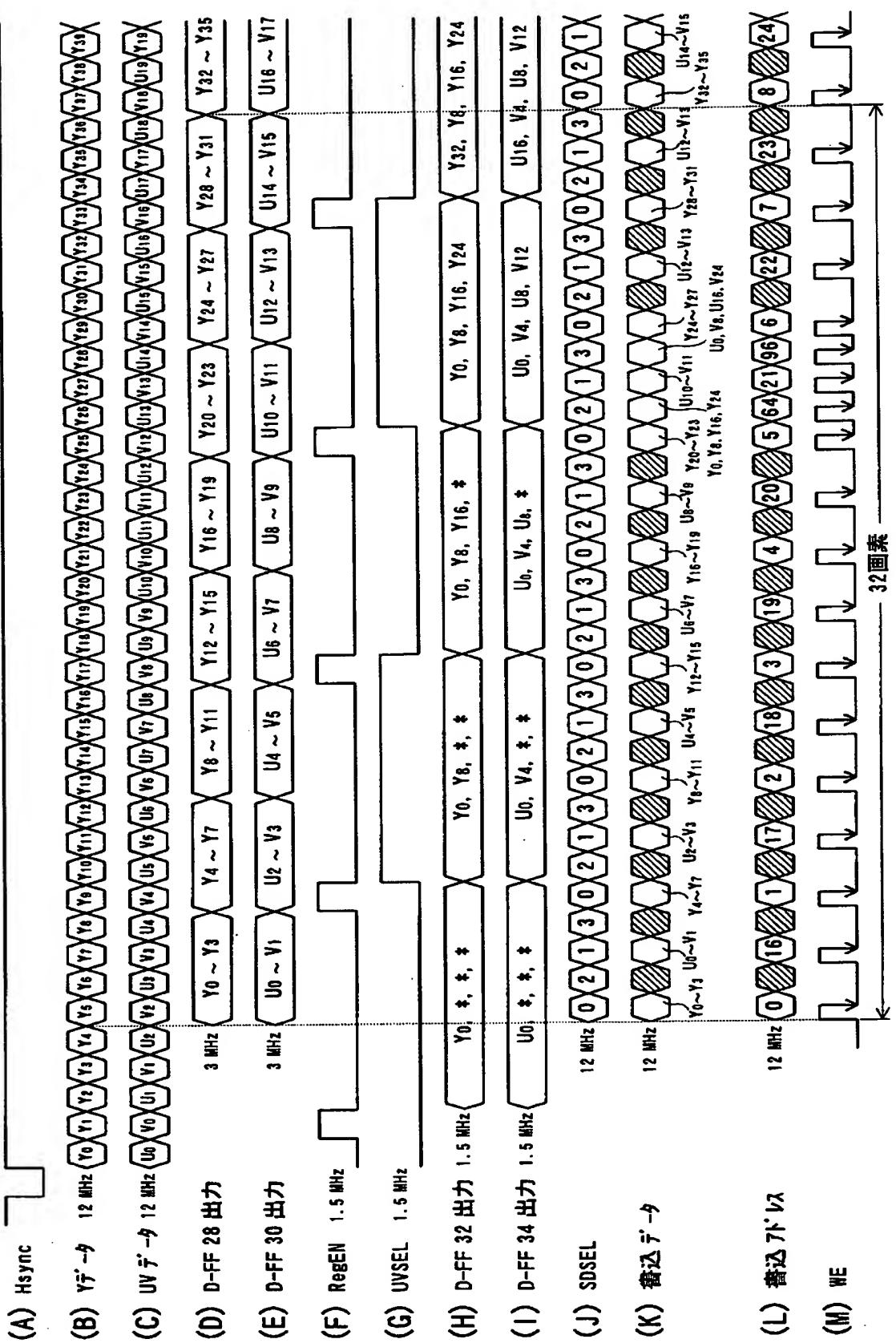


【図3】

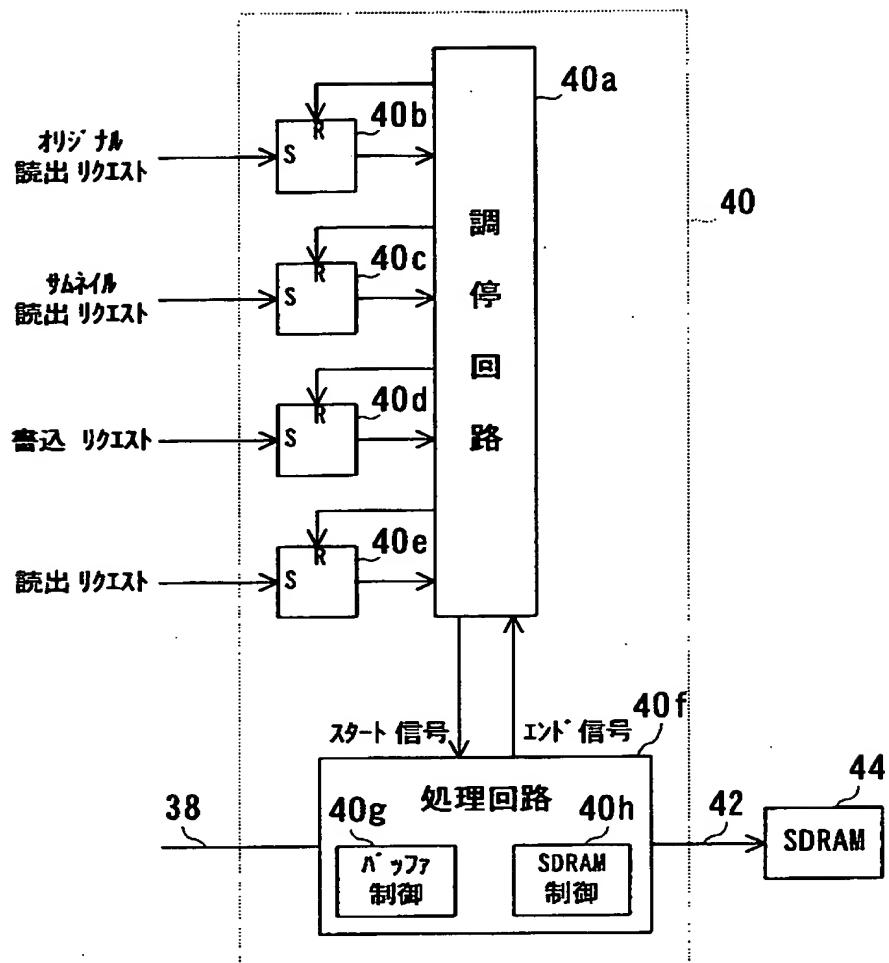


特平10-147544

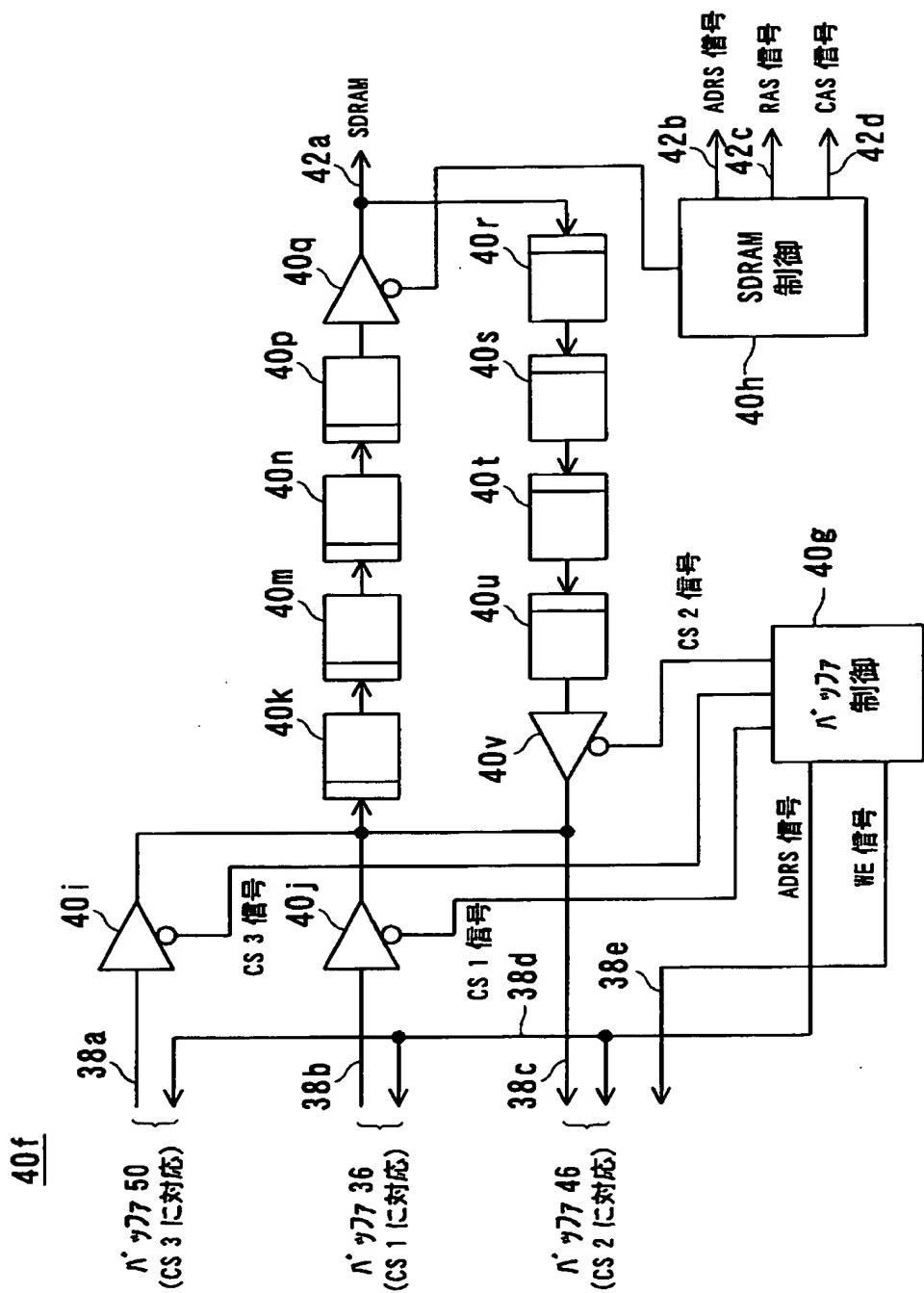
【図4】



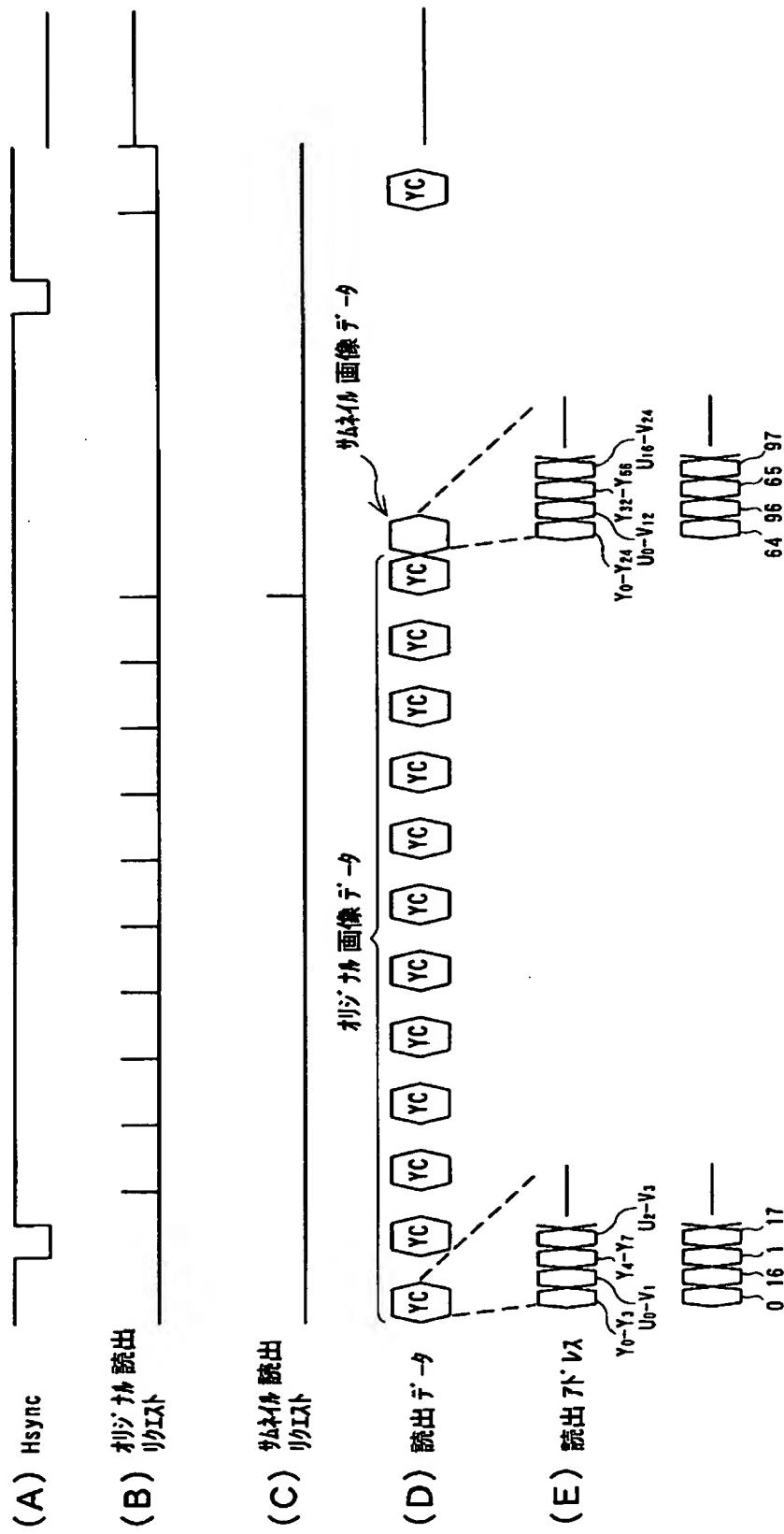
【図5】



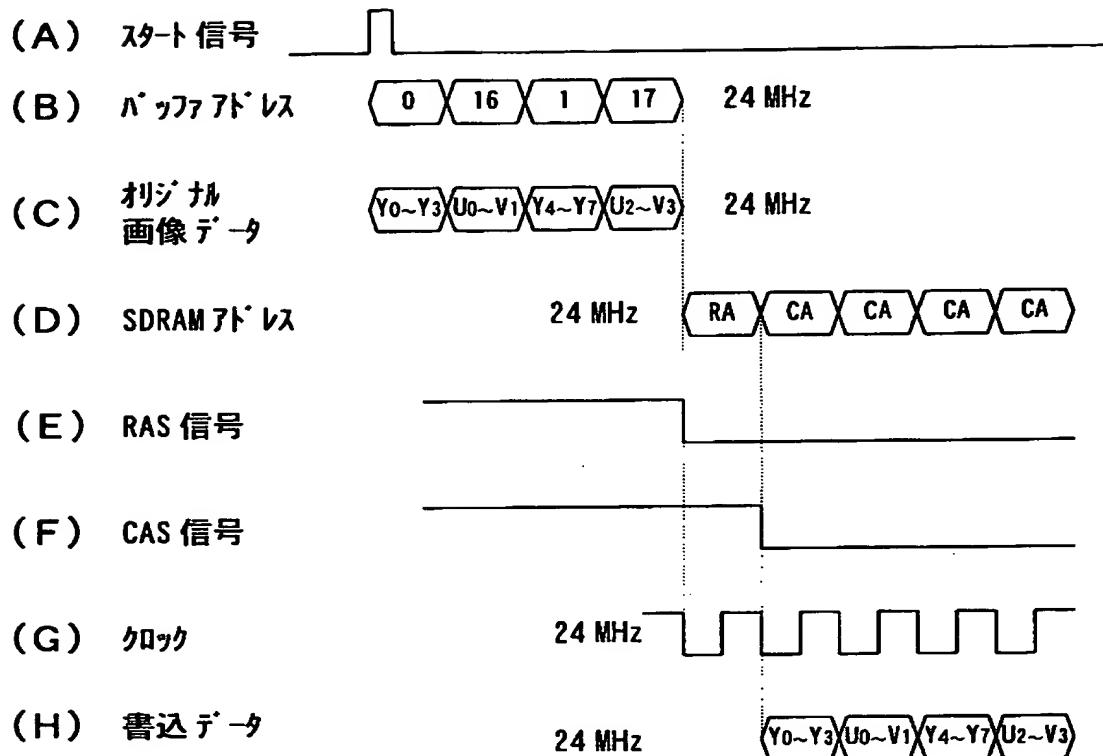
【図 6】



【図7】



【図8】



【書類名】 要約書

【要約】

【構成】 640画素×480ラインのオリジナル画像データは、バッファ36を介してSDRAM44に書き込まれる。このオリジナル画像データに対応する80画素×60ラインのサムネイル画像データもまた、バッファ36を介してSDRAM44に書き込まれる。ただし、サムネイル画像データは水平プランキング期間を利用して80画素ごとにSDRAM44に書き込まれる。このような動作が繰り返され、SDRAM44内に1枚分のオリジナル画像データおよびサムネイル画像データが得られると、CPU56がこれらのデータをメモリカード66に記録する。

【効果】 水平プランキング期間を利用して1ライン分のサムネイル画像データをSDRAMに書き込むようにしたため、1枚分のオリジナル画像データおよびサムネイル画像データの書き込みが1フレーム期間内に完了する。

【選択図】 図1

【書類名】 職権訂正データ
【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】

【識別番号】 000001889

【住所又は居所】 大阪府守口市京阪本通2丁目5番5号

【氏名又は名称】 三洋電機株式会社

【代理人】

【識別番号】 100090181

【住所又は居所】 大阪府大阪市中央区伏見町2丁目6番6号 (タナ
ベビル7F) 山田特許事務所

【氏名又は名称】 山田 義人

出願人履歴情報

識別番号 [000001889]

1. 変更年月日 1993年10月20日

[変更理由] 住所変更

住 所 大阪府守口市京阪本通2丁目5番5号

氏 名 三洋電機株式会社